

PAT-NO: JP405342021A

DOCUMENT-IDENTIFIER: JP 05342021 A

TITLE: MULTITASK COMPUTER

PUBN-DATE: December 24, 1993

INVENTOR-INFORMATION:

NAME

NAKADA, RYUICHI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP04152263

APPL-DATE: June 11, 1992

INT-CL (IPC): G06F009/46

ABSTRACT:

PURPOSE: To shorten interruption response time by executing a specified task, for which high-speed responsiveness is required, parallelly with the other task.

CONSTITUTION: The executing task is decided by receiving an interruption request at task deciding means 2-4. When the switching request of the specified task allocated to an auxiliary card 13 is outputted from the task deciding means 2-4 to a task switching part 17, a specified task executing request is outputted to the auxiliary card 13 without stopping the task in execution at this time. The specified task is executed by the auxiliary card 13 receiving the specified task executing request. Thus, the specified task required high-speed responsiveness is executed parallelly with the other task. Therefore, process saving processing or environment preparation processing is reduced from conventional interruption processing, and interruption response time is shortened.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-342021

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.⁶

G 0 6 F 9/46

識別記号

3 4 0 B 8120-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-152263

(22)出願日 平成4年(1992)6月11日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 仲田 隆一

東京都府中市東芝町1番地 株式会社東芝

府中工場内

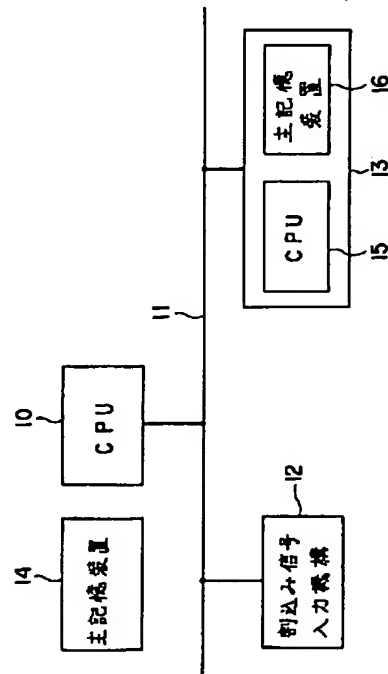
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 マルチタスク計算機

(57)【要約】

【目的】本発明はマルチタスク計算機における割込み応答時間の短縮化を図る。

【構成】本発明は、割込み要求から実行タスクを決定するタスク決定手段2〜4と、そこで決定したタスクに実行タスクを切換えるタスク切換え手段17と、特定のタスクを実行する補助カード13とを備え、タスク決定手段2〜5からタスク切換え手段17に対して特定タスクの切換え要求が出されたならば、タスク切換え手段17から補助カード13に特定タスク実行要求を出し、当該補助カード13が特定タスクを実行するものとした。



1

【特許請求の範囲】

【請求項1】 汎用オペレーティングシステムの管理下で、割込み要求に応じたマルチタスキングを実行するマルチタスク計算機において、

割込み要求を受け付けて実行タスクを決定するタスク決定手段及びこのタスク決定手段で決定したタスクに実行タスクを切換えるタスク切換え手段を有する主制御部と、この主制御部に所定のデータ伝送路を介して接続され特定のタスクを実行する補助カードとを備え、

前記タスク決定手段から前記タスク切換え手段に対して前記補助カードに割付けられている特定タスクの切換え要求が出されたならば、前記タスク切換え手段はその時に実行しているタスクの切換えを行うことなく、補助カードに特定タスク実行要求を出し、当該補助カードは特定タスク実行要求を受けて前記特定タスクを実行することと特徴とするマルチタスク計算機。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、リアルタイムで各種の制御を実行する制御コンピュータに用いることができ、マルチタスキングのときのタスク切換え機能の改良に関する。

【0002】

【従来の技術】従来の制御用計算機は、一般に、制御対象となる各種のプロセスに対応して所定のタスクを実行する各種のプログラムを備えている。そして外部からあるいは内部から割込み要求を発生させて、複数のタスクを切換えている。

【0003】一方、最近では複数のプログラムの実行（マルチタスキング）を管理するものとしてUNIX等の汎用OSがあり、ソフトウェアの開発効率を考慮してこの汎用OSを制御用計算機に搭載するようになってきた。図4には、汎用OSを搭載した制御用計算機の割込み処理に関する機能ブロックが示されている。

【0004】この制御用計算機では、割込み要求を汎用OS（以下、「カーネル部」と呼ぶ）1の割込み受付部2で受け付ける。割込み受付部2に割込み要求が入力すると、カーネル部1での処理中に他の割込みが多重に入力されるなくするために、制御用計算機を割込み禁止状態にする。その一方で、割込み要因判別部3が、割込み要因テーブル4（割込み要求とそれに対応する処理プロセスとが対で記載されている）を参照して割込み要求に応じた処理（実行プロセス）を決定する。

【0005】そしてタスク切換え部5が、割込み要因判別部3で決定した実行プロセスに切換える。例えば、プロセスAを実行中にプロセスBの実行要求が出されたときには、実行中のプロセスAを停止し、再開に備えてレジスタ等のデータを退避部6にセーブする。次に、プロセスBの実行環境を整える。具体的には、リソースをプロセスBに割り付ける。またはプロセスBを補助記憶装置

2

から主記憶装置にローディングする。このような実行環境を整えた後にプロセスBを実行する。

【0006】上記制御用計算機は、図5に示すように、プロセスAの実行中に時刻t1で割込み要求が入力すると、割込み要求判別処理（t1～t2）と、プロセスAの退避処理（t2～t3）と、プロセスBの環境整備処理（t3～t4）とを経た後に時刻t4からプロセスBの実行が開始される。このため、上記制御用計算機では、プロセスBの仕事を開始するまでの時間すなわち割込み応答時間が長くなり、リアルタイム制御用の計算機などで要求される高速応答性を実現できい可能性があった。

【0007】

【発明が解決しようとする課題】このように、従来のマルチタスキング機能を備えた計算機は、割込み要求の出されたタスクを実行するまでの割込み応答時間が長く、そのために割込み応答時間の短縮化が望まれていた。

【0008】本発明は以上のような実情に鑑みてなされたもので、高速応答性が要求されるような特定のタスクを他のタスクと並列に実行することができ、割込み応答時間の短縮化を図り得るマルチタスク計算機を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために本発明のマルチタスク計算機は、割込み要求を受け付けて実行タスクを決定するタスク決定手段及びこのタスク決定手段で決定したタスクに実行タスクを切換えるタスク切換え手段を有する主制御部と、この主制御部に所定のデータ伝送路を介して接続され特定のタスクを実行する補助カードとを備え、前記タスク決定手段から前記タスク切換え手段に対して前記補助カードに割付けられている特定タスクの切換え要求が出されたならば、前記タスク切換え手段はその時に実行しているタスクの切換えを行うことなく、補助カードに特定タスク実行要求を出し、当該補助カードは特定タスク実行要求を受けて前記特定タスクを実行するようにした。

【0010】

【作用】本発明のマルチタスク計算機では、割込み要求がタスク決定手段で受け付けられて実行タスクが決定される。そしてタスク決定手段からタスク切換え手段に対して補助カードに割付けられている特定タスクの切換え要求が出されると、その時に実行しているタスクを停止させることなく、補助カードに対して特定タスク実行要求が出される。その特定タスク実行要求を受け付けた補助カードで特定タスクが実行されるものとなる。よって、従来の割込み処理からプロセス退避処理や環境準備処理が削減され、割込み応答時間が短縮されることになる。

【0011】

【実施例】以下、本発明の実施例について説明する。図

1には本発明の一実施例に係る制御用計算機の概略的なシステム構成が示されている。

【0012】本実施例の制御用計算機は、汎用OSの管理下で動作して数種類のタスク処理を実行するCPU10が、データ伝送路となるバス11を介して割り込み信号入力機構12、補助カード13に接続されている。

【0013】上記CPU10は、主記憶装置14に予め格納されているプロセスAを実行するためのプログラムを、システムに搭載されている汎用OSで管理されたタイミングで実行するものである。なお、同図にはCPU10が実行するプロセスとしてプロセスAしか示されていないが、実際にはCPU10は複数のプロセスを切

えながらマルチタスキング処理している。

【0014】上記補助カード13は、CPU10からの指示により特定タスクとしてのプロセスBを実行するCPU15と、そのプロセスBを実行するためのプログラムが格納された主記憶装置16とからなる。この補助カード13には、イニシャライズ時にCPU10によりプロセスBの実行環境を設定する。

【0015】図2には、CPU10内の主制御部としてのカーネル部10'の機能ブロックが示されている。このカーネル部10'は、割り込み信号入力機構12からバス11を介して入力された割り込み要求を割り込み受付部2で受ける。この割り込み受付部2は、割り込み処理の間だけ制御用計算機を割り込み禁止状態にするものである。また割り込み受付部2で受付処理された割り込み要求が割り込み要因判別部3に入力される。その割り込み要因判別部3は、割り込み要因テーブル4を参照して割り込み要求に応じたプロセスを実行プロセスとして決定する。これら割り込み受付部2、割り込み要因判別部3、割り込み要因テーブル4からタスク決定手段を構成している。割り込み要因テーブル4を参照して決定された実行プロセスに関する情報はタスク切

換部17へ与えられる。

【0016】タスク切換部17は、決定された実行プロセスが補助カード13で実行されるプロセスBであるかを判断する機能と、実行プロセスがプロセスBのときには補助カード13に対して特定タスク実行要求を出力する機能と、実行プロセスがプロセスB以外のときに前述した従来同様の切換え処理を行う機能とを有している。次に、以上のように構成された本実施例の動作について説明する。今、CPU10でプロセスAの実行中に、図3における時刻t1でプロセスBの実行を求める割り込み要求が割り込み信号入力機構12から入力されたとする。

【0017】割り込み要求が入力すると、割り込み受付部2が制御用計算機を割り込み禁止状態にする。一方で、割

込み要因判定部3では割り込み要因テーブル4を参照して、割り込み要求されたプロセスを特定し、その決定プロセス情報をタスク切換部17へ出力する。

【0018】タスク切換部17では、割り込み要因判定部3から入力した決定プロセスが、プロセスBであることから、補助カード13に対して特定タスク実行要求を出力する。この時に実行されているプロセスAはそのまま実行が継続される。

【0019】そして、タスク切換部17から出力された特定タスク実行要求がバス11を介して入力した補助カード13では、予めプロセスBの実行環境は整えられているので、直ちにプロセスBの実行が開始される。

【0020】この様に本実施例によれば、特定のプロセスBの実行を補助カード13で実行して、CPU10でのプロセスAの実行と並列実行可能にしたので、特定のプロセスBについては割り込み要求判別を終了した後に直ちにプロセスBを実行することができる。従って、プロセスAの停止及び退避を行う必要がなくなるのでタスク切換えの処理を簡素化でき、しかもプロセスAの退避処理、及びプロセスBの環境整備処理に要する時間を削除でき、割り込み要求応答時間を短縮できる。なお、本発明は上記一実施例に限定されるものでなく本発明の要旨を逸脱しない範囲で変形実施可能である。

【0021】

【発明の効果】以上詳記したように本発明によれば、高速応答性が要求されるような特定のタスクを他のタスクと並列に実行することができ、割り込み応答時間の短縮化を図り得るマルチタスク計算機を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る制御用計算機のシステム構成図。

【図2】一実施例の制御用計算機に備えられたCPUの機能ブロック図。

【図3】一実施例の制御用計算機における割り込み処理動作を説明するための図。

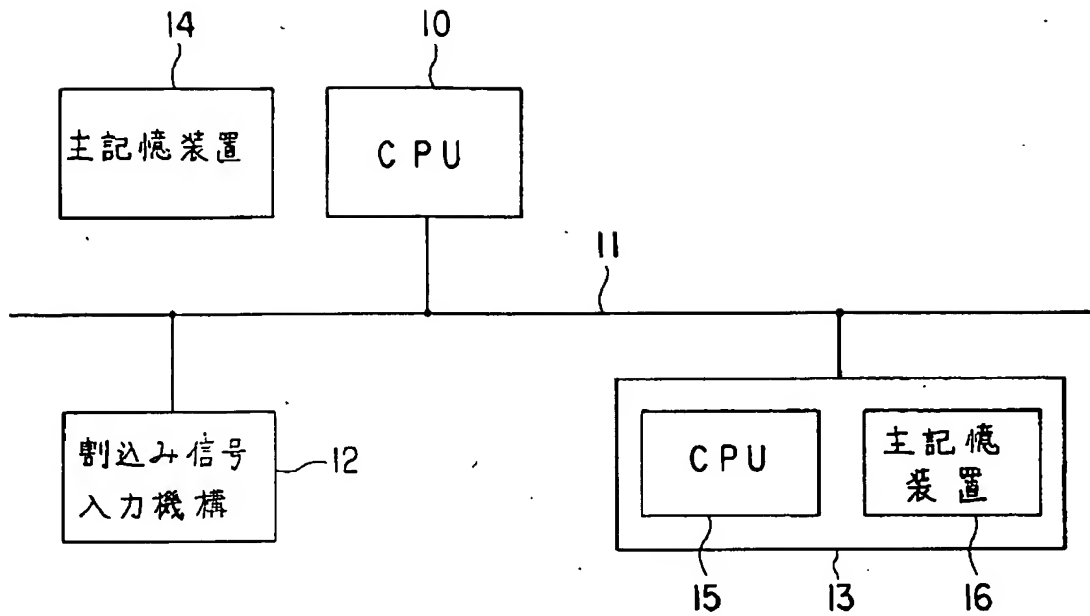
【図4】従来の制御用計算機に備えられたCPUの機能ブロック図。

【図5】図4に示す制御用計算機における割り込み処理動作を説明するための図。

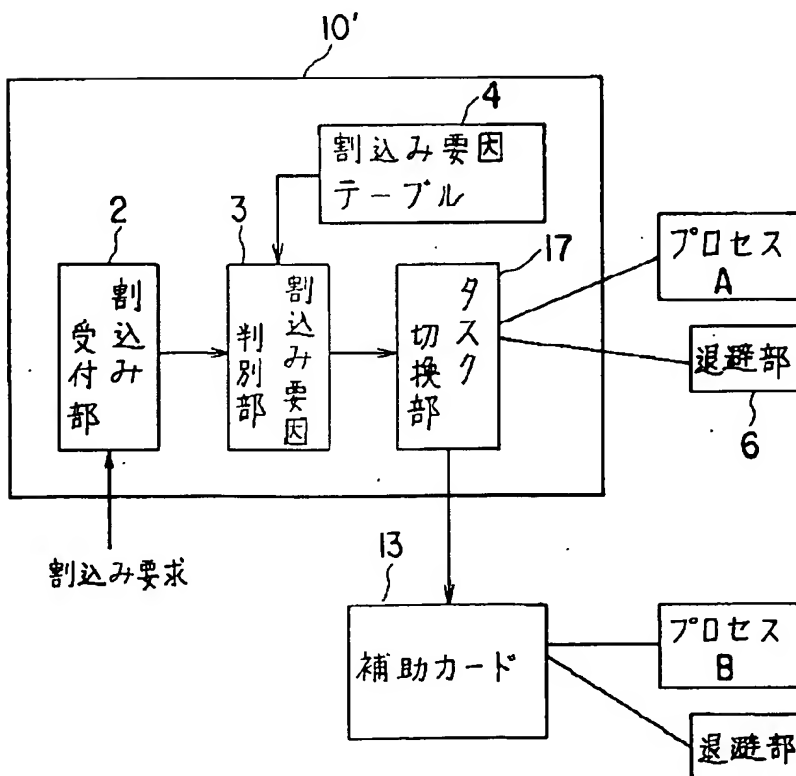
【符号の説明】

2…割り込み受付部、3…割り込み要因判別部、4…割り込み要因テーブル、10、15…CPU、10'…カーネル部、11…バス、12…割り込み信号入力機構、13…補助カード、14、16…主記憶装置、17…タスク切換部。

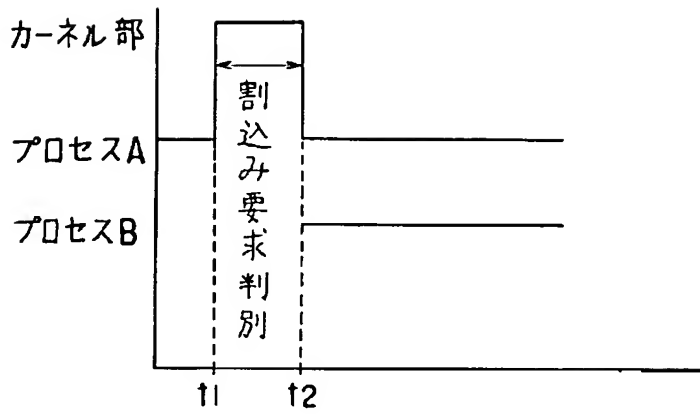
【図1】



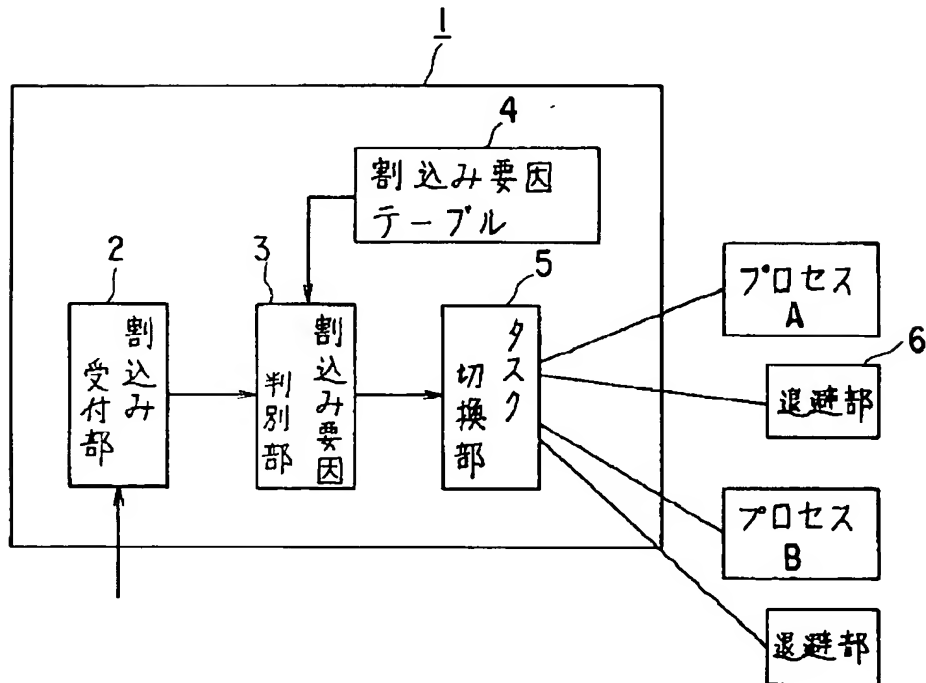
【図2】



【図3】



【図4】



【図5】

